



Gemeinsames TUM-LMU Seminar



Einführungsveranstaltung zum Hauptseminar

Akzeleratoren und ihr Einsatz im Hochleistungsrechnen (LMU) Akzeleratorarchitekturen (TUM)

Prof. Dr. Dieter Kranzlmüller

Dr. Karl Furlinger

MNM-Team

LMU München

Prof. Dr. Carsten Trinitis

Dr. Josef Weidendorfer

Lehrstuhl für Rechnerarchitektur und Rechnerorganisation

TU München

Web:

<http://www.lrr.in.tum.de/public/HauptseminarAkzeleratorarchitekturenWS13>

<http://www.nm.ifi.lmu.de/teaching/Seminare/2013ws/Hauptseminar/>





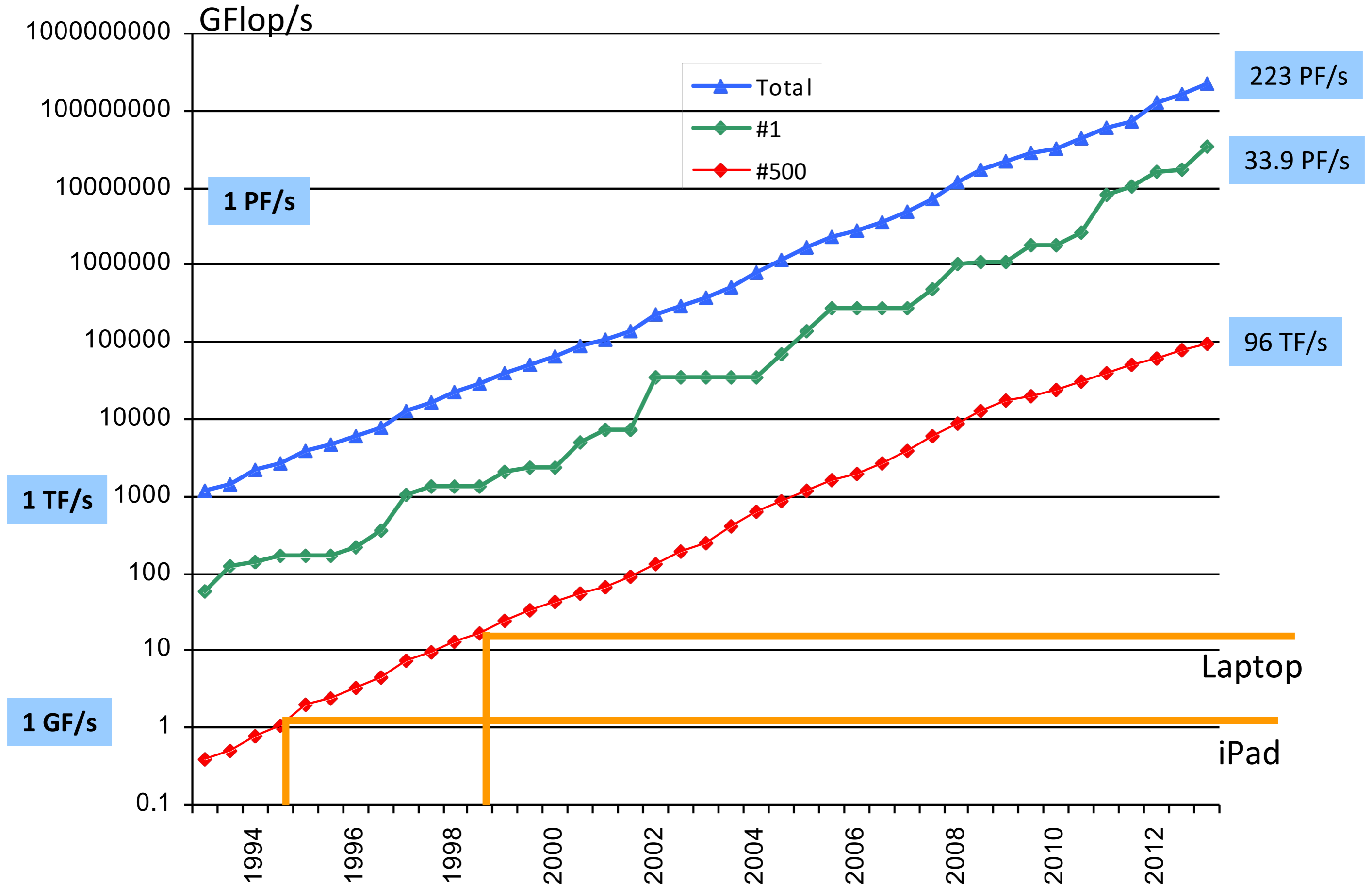
- Akzeleratoren := Beschleunigerhardware die insbes. Im Hochleistungsrechnen (HPC) in letzter Zeit verstärkt Einsatz findet
- Warum Akzeleratoren?
 - Um schneller zum Ergebnis zu gelangen (time to solution)
 - Um Effizienz zu steigern (zB Platz- oder Energiebedarf)
- Fragestellungen
 - Wann werden Akzeleratoren eingesetzt?
 - Wie sind sie aufgebaut?
 - Wie verwendet man sie?
 - Einschränkungen?

■ Supercomputing Systeme am LRZ:

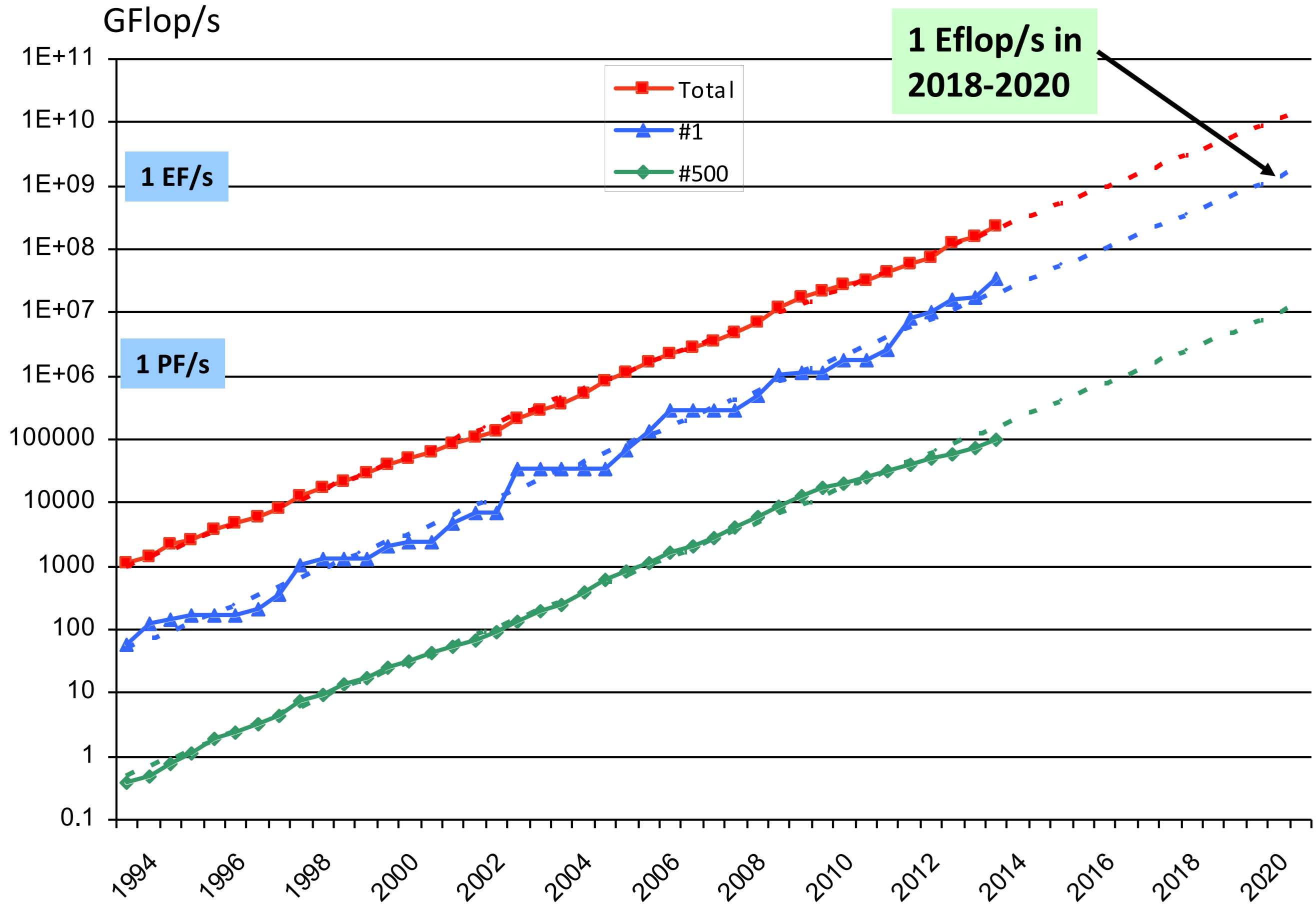
System	Era	Peak Performance	Power Consumption	Investment Costs	Total Operating Costs (incl. Power)	Power Bill
HLRB I: Hitachi SR8000	2000 - 2006	1.3 TFLOP/s	0.5 MW	29 M€	13 M€	3 M€
HLRB II: sgi ALTIX 4700	2006 - 2011	62 TFLOP/s	1 MW	35 M€	16 M€	7 M€
SuperMUC: IBM iDataPlex	2012 - 2016	3000 TFLOP/s	3 MW	48 M€	35 M€	22 M€

- Leistungsfähigkeit von HPC Systemen erhöht sich sogar schneller als Moore's Law
- Aber: Energieverbrauch wird immer mehr zum entscheidenden Faktor, insbes. Für Exascale
 - Ziel: 20 MW für 1 ExaFlop = 50000 MFlops/Watt

Die Top 500 Liste



Die Top 500 Liste - Extrapolation



Cray XT line of systems

System	MFLOPS/Watt
Cray XT3 (2004)	60
Cray XT4 (2006)	130
Cray XT5 (2007)	150
Cray XT6 (2009)	260
Cray XE6 (2010)	360
Cray XC30 (2012)	620

IBM BlueGene line of systems

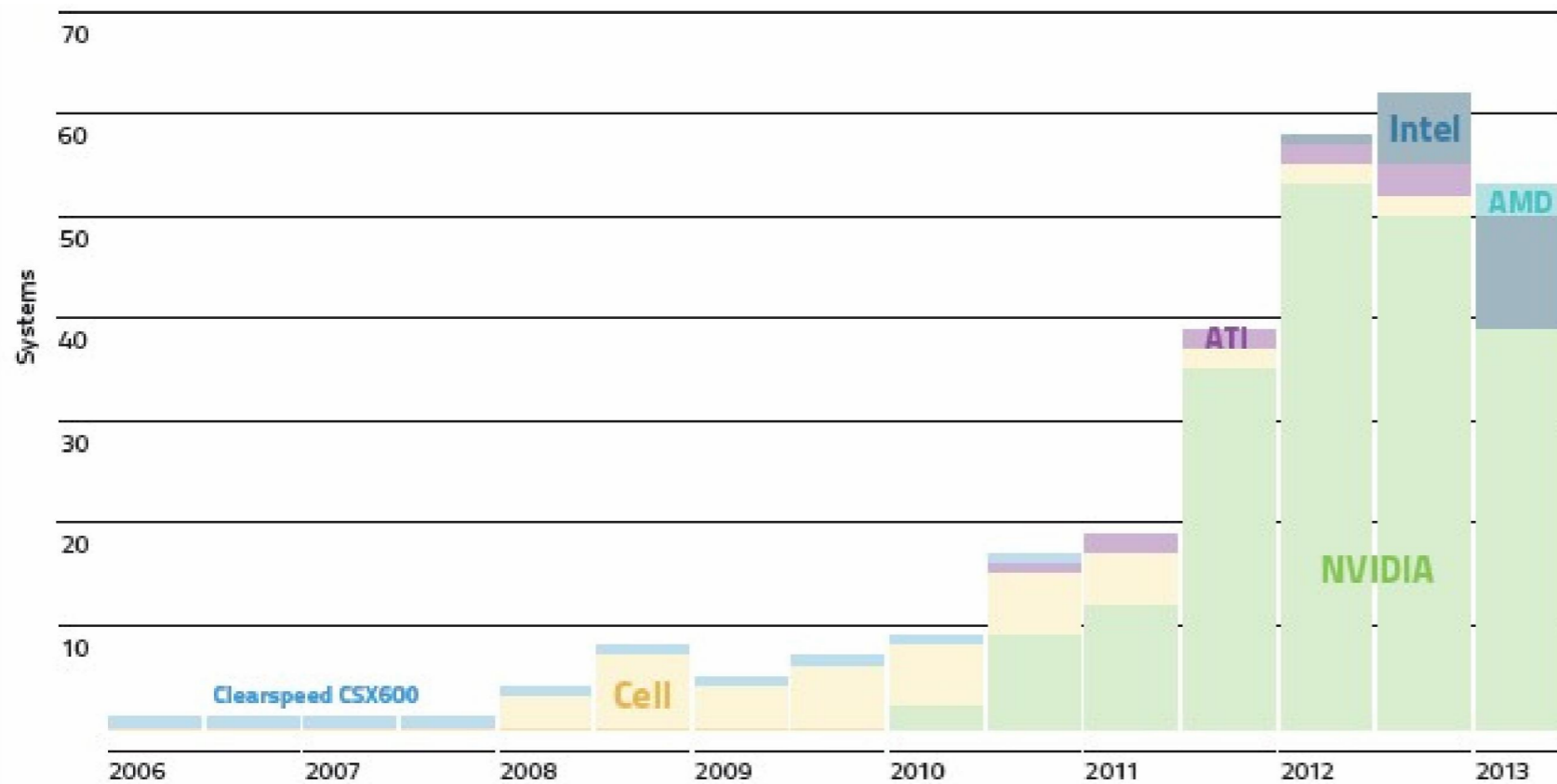
System	MFLOPS/Watt
IBM BlueGene/L (2005)	204
IBM BlueGene/P (2007)	370
IBM BlueGene/Q (2011)	2100

Accelerator-Based

System	MFLOPS/Watt
„Beacon“ IB/Xeon/Xeon Phi (2012)	2500
Cray XK7 (Opteron/NVIDIA Kepler) (2012)	2100

Source: Green500 List

■ Anzahl der Systeme mit Akzeleratoren in der Top500 Liste

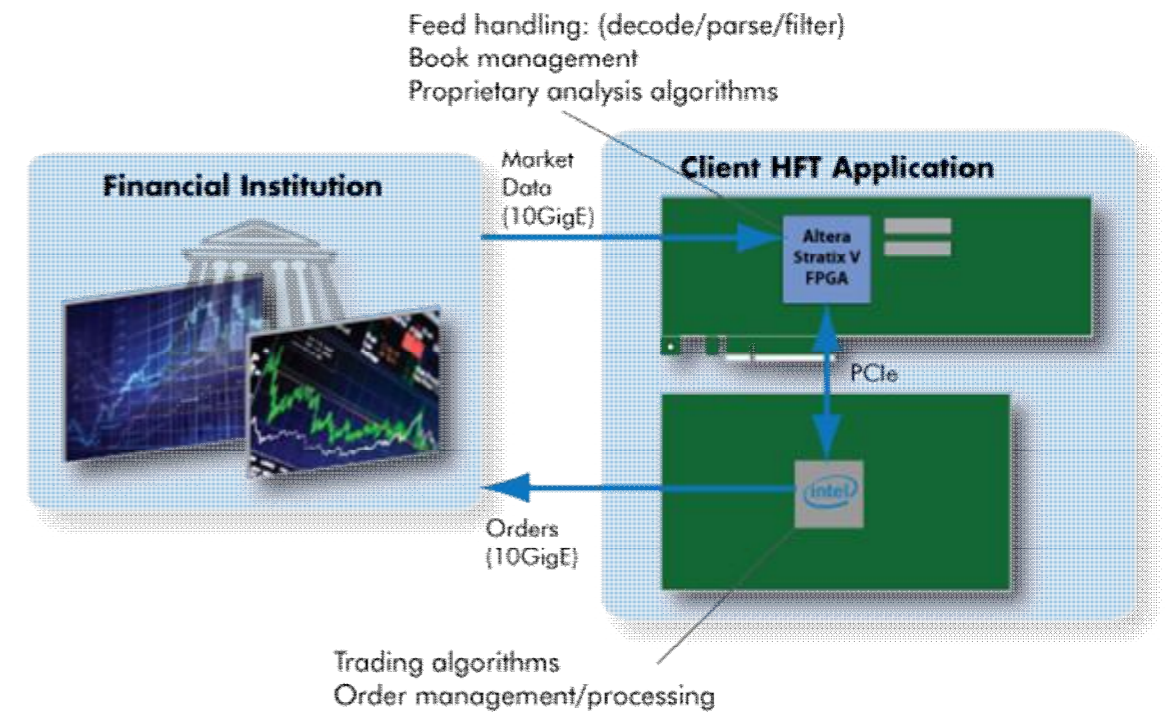


■ Top 5 (Juni 2013)

	NAME	SPECS	SITE	COUNTRY	CORES	R _{MAX} PFLOP/S	POWER MW
1	Tianhe-2 (Milkyway-2)	NUDT, Intel Ivy Bridge (12C, 2.2 GHz) & Xeon Phi (57C, 1.1 GHz), Custom interconnect	NUDT	China	3,120,000	33.9	17.8
2	Titan	Cray XK7, Opteron 6274 (16C, 2.2 GHz) + Nvidia Kepler (14C, .732 GHz), Custom interconnect	DOE/SC/ORNL	USA	560,640	17.6	8.3
3	Sequoia	IBM BlueGene/Q, Power BQC (16C, 1.60 GHz), Custom interconnect	DOE/NNSA/LLNL	USA	1,572,864	17.2	7.9
4	K computer	Fujitsu SPARC64 VIIIfx (8C, 2.0GHz), Custom interconnect	RIKEN AICS	Japan	705,024	10.5	12.7
5	Mira	IBM BlueGene/Q, Power BQC (16C, 1.60 GHz), Custom interconnect	DOE/SC/ANL	USA	786,432	8.16	3.95

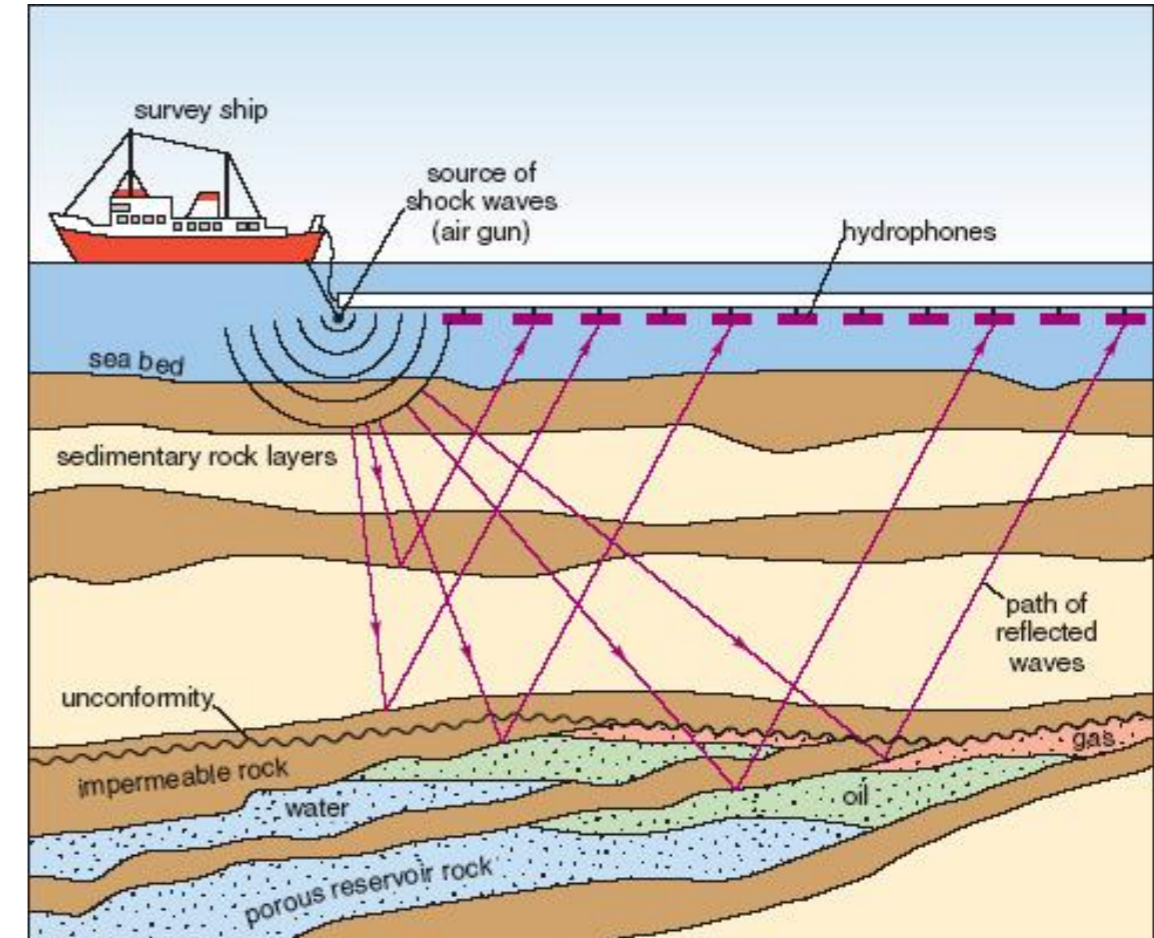
■ Algorithmic / low-latency trading

- Beste Leistung bringt unmittelbare Marktvorteile



■ Seismic Exploration

- Große Datenmengen, großer Berechnungsaufwand









- Das Seminar wird angeboten in Zusammenarbeit zw. LMU und TU München
 - Hauptseminar für Master Studenten entsprechend Modulkatalog

- Ziel des Seminars: Darstellung eines abgegrenzten wissenschaftlichen Themas
 - Grundlage sind aktuelle publizierte Arbeiten
 - Selbständige Erarbeitung von wissenschaftlichen Texten
 - Kritische Auseinandersetzung und Bewertung des Materials
 - Erstellen einer Arbeit, in dem das Thema umfassend besprochen wird
 - Korrekte Verwendung von Literatur
 - Richtiges Zitieren
 - Präsentation der Ergebnisse im Rahmen eines Vortrags am Semesterende
 - Unterstützt durch Betreuer während des Semesters

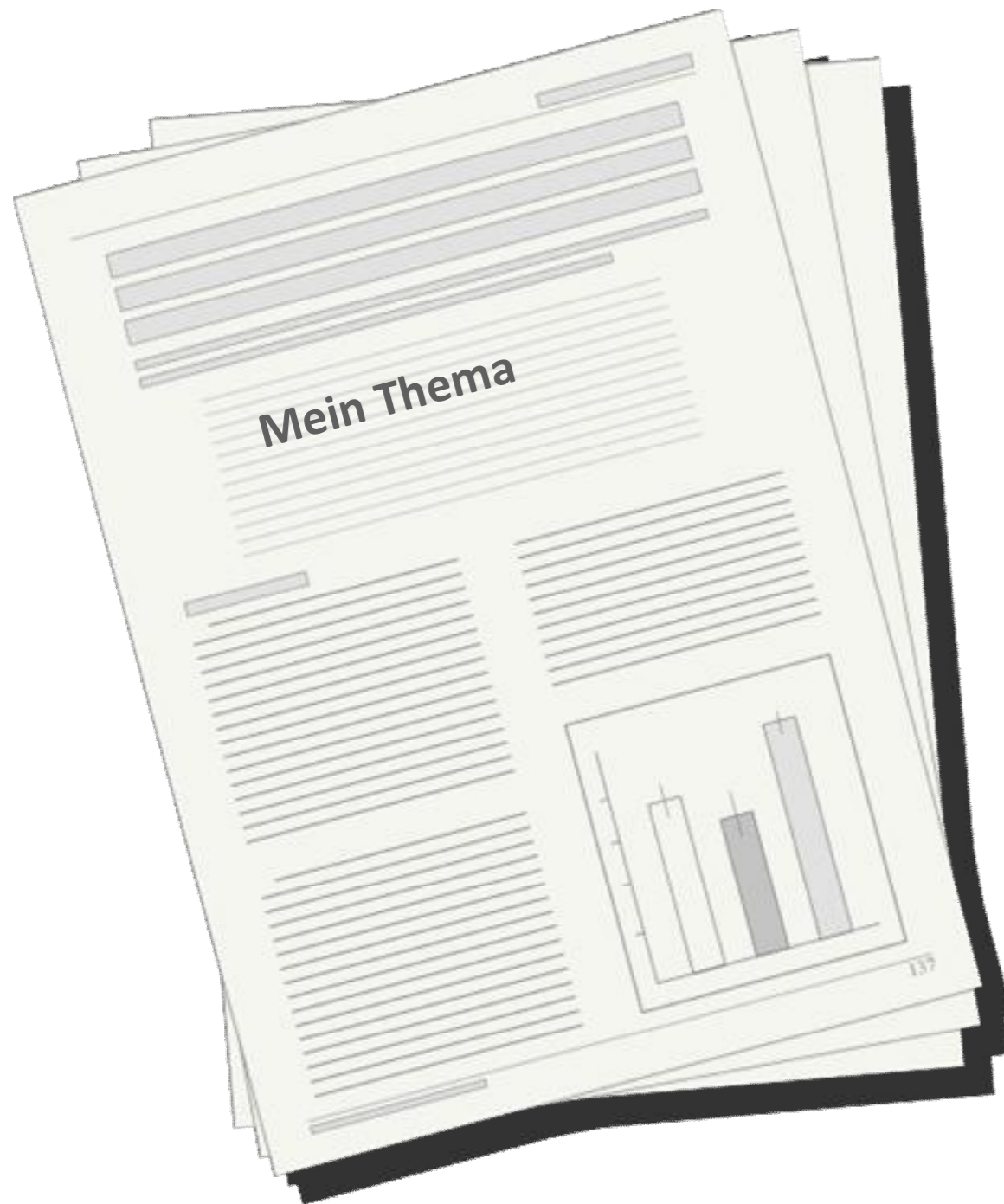
■ Bewertungsgrundlagen für Leistung

- Schriftliche Ausarbeitung: Verständlichkeit, Inhalt, Gliederung, Literatur, Schreibstil
- Präsentation: Verständlichkeit, Vortragsstil, Beherrschung des Themas
- Mitarbeit: Präsenz bei Veranstaltungen, Einhalten von Abgabeterminen, Fortschritt über das Semester, Zusammenarbeit mit Betreuer

- Übersicht über das Thema “Akzeleratoren”
 - Hintergrund, Einsatzgebiete, Varianten, Motivation, Beschränkungen
- Architektur von modernen NVIDIA GPUs
- Architektur von AMD GPUs/APUs 
- Intel Xeon Phi (Many Integrated Cores Architektur)
- FPGA Maxeler: Architektur
- FPGA Maxeler: Beispiele
- Beschleuniger in mobilen Chips (SoCs: Tegra3, OMAP, Apple A6/7)

- Programmierung mit CUDA
- Programmierung mit OpenCL
- Programmierung mit Pragmas: OpenMP/OpenACC
- Programmierung mit OmpSS  Noch frei!
- Programmierung mit StarPU  Noch frei!
- Simulatoren für Beschleunigerhardware  Noch frei!
- Hybride Programmierung von Rechnerverbänden mit Akzeleratoren  Noch frei!
- Akzeleratoren und Virtualisierung  Noch frei!

	Nachname	Vorname	Uni	Wunsch1	Wunsch2	Wunsch3	Wunsch4	Betreuer
1	Weber	Maximilian	TUM	Mobile Chips	CUDA	Virtualisierung		Weidendorfer
	Kanzler	Mathias	TUM	OpenCL	Mobile Chips	NVIDIA Arch	AMD Arch	
2	Erl	Matthias	TUM	Mobile Chips	Maxeler Arch	CUDA		Trinitis
3	Leclair	Maurice	TUM	OpenCL	GPU Assembler	AMD Arch		Weidendorfer
4	Kirsch	Julian	TUM	Xeon Phi	Mobile Chips	FPGA (Frickeln)		Trinitis
5	Gillert	Alexander	TUM	FPGA Arch	FPGA Beispiele	Hybride Prog.	Nvidia Arch	Trinitis
6	Lauterbach	Sven	TUM	CUDA	OpenCL	NVidia Arch	Xeon Phi	Weidendorfer
7	Cheng	Yueyue	LMU	Übersicht	CUDA	Xeon Phi		Fürlinger
8	Kirsch	Michael	LMU	Übersicht	NVIDIA Arch	Prog. CUDA		Fürlinger
9	Rott	Florian	LMU	OpenACC/OpenMP	Virtualisierung	Hybride Prog.		Fürlinger
10	Zhou	Lei	LMU	OmpSS				Fürlinger



Schriftliche Ausarbeitung

Erstellt mit LaTeX

Hauptseminar: 15-20 Seiten



Symbolbild!

Präsentation im Blockseminar am Ende des Semesters

Hauptseminar: ca. 30 Minuten Vortrag + Diskussion

Ablauf des Seminars und Termine

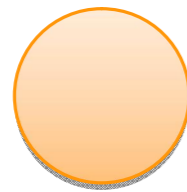
Okt.



Einführungsveranstaltung

Donnerstag, 17. Oktober 16:15 Uhr,
Raum 01.06.020 (FMI, Garching)

Nov.-Dez.

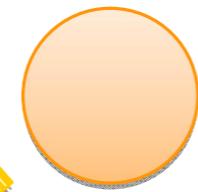


Präsentations- und Arbeitstechnik

Donnerstag, 7. November 2013

Abgabe: Gliederung, Donnerstag 21. November 2013

Alle Abgaben per Email an
den Betreuer



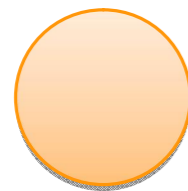
Gastvortrag zum Thema: TBA

Jan.-Feb.

Abgabe: Entwurf Seminararbeit, Donnerstag 19. Dezember 2013

Abgabe: Finale Seminararbeit, Donnerstag 9. Januar 2014

Abgabe: Präsentationsfolien, Donnerstag 16. Januar 2014



Blockseminar Frauenchiemsee

23.-24. Januar 2014

Nächster Termin:

Präsentations- und Arbeitstechnik

Donnerstag 7. November 2013

Raum: An der LMU München